

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-144098

(43)Date of publication of application : 17.08.1984

(51)Int.Cl.

G11C 29/00

G11C 17/00

(21)Application number : 58-018027

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.02.1983

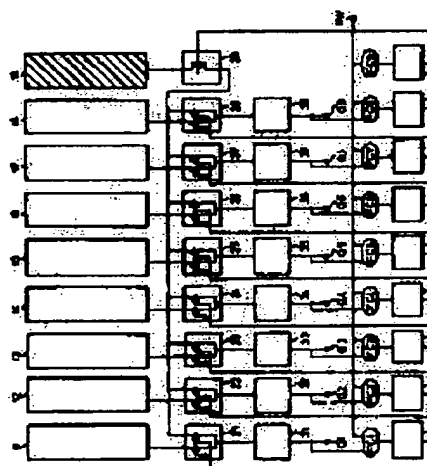
(72)Inventor : YOSHIDA MASANOBU
ITANO KIYOYOSHI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To read out accurately on electronic signature at all times when block is replaced by providing a subblock which corresponds to a memory cell block and a redundant memory cell block respectively.

CONSTITUTION: Plural read-only memory cells storing the prescribed data are provided at the specific regions of memory cell blocks 11W18. These blocks 11W18 and a redundant memory cell block 19 are divided into subblocks. The data corresponding to the output bits of the blocks 11W18 are repetitively stored at every subblock to the read-only memory cells of the blocks 11W18. In the block 19 the subblocks are set opposite to the blocks 11W18, and the data corresponding to the output bits of the blocks 11W18 are stored to the read-only memory cells of corresponding subblocks within the block 19. When the blocks 11W18 are replaced with the block 19, the corresponding subblocks within the block 19 are selected when the prescribed data is read out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—144098

⑮ Int. Cl.³
G 11 C 29/00
17/00

識別記号

庁内整理番号
7922—5B
6549—5B

⑯ 公開 昭和59年(1984)8月17日

発明の数 1
審査請求 未請求

(全 10 頁)

⑭ 半導体記憶装置

⑰ 発明者 板野清義

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 特 願 昭58—18027

⑲ 出 願 昭58(1983)2月8日

⑲ 出 願 人 富士通株式会社

⑳ 発 明 者 吉田正信

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青木朗 外 3 名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

複数ビット出力構成で、各出力ビットに対応する複数のメモリセルブロックと、不良のあるメモリセルブロックを置換え可能な冗長メモリセルブロックとを備え、該各メモリセルブロックの特定の領域に所定のデータを記憶した複数の読出し専用メモリセルを有する半導体記憶装置であって、

該各メモリセルブロック及び該冗長メモリセルブロックを複数のサブブロックに分割し、各該メモリセルブロックの読出し専用メモリセルには、各該メモリセルブロックの出力ビットに対応するデータを各サブブロック毎に繰返し記憶し、該冗長メモリセルブロックでは各サブブロックを各該メモリセルブロックに対応させて、それぞれの該メモリセルブロックの出力ビットに対応するデータを該冗長メモリセルブロック内の対応するサブブロックの読出し専用メモリセルに記憶し、該メ

モリセルブロックを該冗長メモリセルブロックに置換えた場合には、該所定のデータの読出し時に、置換えられたメモリセルブロックに対応する該冗長メモリセルブロック内のサブブロックを選択するようにしたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は、プログラム可能読出し専用半導体記憶装置 (PROM) に関し、特に、PROMの属性に関する ROM データであるエレクトロニック・シグネチャ (Electronic Signature) の読出し回路に関する。

(2) 技術的背景

最近、消去可能、プログラム可能読出し専用半導体記憶装置 (EPROM) に対して、メーカーのコード、書き込みアルゴリズムのコード等を一種の ROM データとして製造中に予め書き込んでおき、チップの特定の端子に特定の信号を印加することによってこのデータを読み出せるようにした、エレクトロニック・シグネチャというものを用いること

が米国EIAの下部機関であるJEDEC (joint electron device engineering council) により提案されている。JEDECにより提案された、エレクトロニク・シグネチャのデータ構成内容およびメーカーコードが第1図(A)および(B)に示される。

ところで、EPROMにおいては、製品チップの歩留りを向上させるために、冗長構成を用いて不良が生じた回路を冗長回路に置き換えることが行われている。このような冗長構成を有するEPROMにおいては、冗長回路を使用する場合に置き換えられた回路部分に対応するエレクトロニク・シグネチャのデータの内容が正しく読み出される必要がある。

(3) 発明の目的

本発明の目的は、冗長構成を有する半導体記憶装置において、冗長回路がどの回路部分に置き換えられた場合にもエレクトロニク・シグネチャが正しく読み出されるようにすることにある。

(4) 発明の構成

(5)

長メモリセルブロック内のサブブロックを選択するようにしたことを特徴とする半導体記憶装置が提供される。

(5) 発明の実施例

本発明による半導体記憶装置を図面を用いて以下に説明する。第2図は、8ビット出力のEPROMに冗長メモリセルブロックが設けられた場合の概略的構成図である。第2図のEPROMにおいては、メモリセルブロック11ないし19のうち、8ビット出力に対応するメモリセルブロック11ないし18は、切換え回路21ないし28を介して出力バッファ31ないし38に接続される。冗長メモリセルブロック19は、切換え回路29を介して各切換え回路21ないし28に接続され、任意の出力ビットQ1ないしQ8に対応するメモリセルブロックと置き換えられ得る。各切換え回路21ないし29は、制御信号発生回路41ないし49からの制御信号により切換えが制御される。各制御信号発生回路41ないし49においては、内部に設けられたヒューズの断続状態に応じた制

(6)

本発明においては、複数ビット出力構成で、各出力ビットに対応する複数のメモリセルブロックと、不良のあるメモリセルブロックを置換え可能な冗長メモリセルブロックとを備え、該各メモリセルブロックの特定の領域に所定のデータを記憶した複数の読出し専用メモリセルを有する半導体記憶装置であって、

該各メモリセルブロック及び該冗長メモリセルブロックを複数のサブブロックに分割し、各該メモリセルブロックの読出し専用メモリセルには、各該メモリセルブロックの出力ビットに対応するデータを各サブブロック毎に繰返し記憶し、該冗長メモリセルブロックでは各サブブロックを各該メモリセルブロックに対応させて、それぞれの該メモリセルブロックの出力ビットに対応するデータを該冗長メモリセルブロック内の対応するサブブロックの読出し専用メモリセルに記憶し、該メモリセルブロックを該冗長メモリセルブロックに置換えた場合には、該所定のデータの読出し時に、置換えられたメモリセルブロックに対応する該冗

(6)

制信号が出力される。メモリセルブロック11ないし18の1つを冗長メモリセルブロック19に置き換える場合には、そのメモリセルブロックに対応するヒューズ切断信号PC1ないしPC8および冗長メモリセルブロックに対応するヒューズ切断信号PC9により、対応する制御信号発生回路内のヒューズが切断される。

第3図には、第2図のEPROMにおけるメモリセルブロックの構成がより詳細に示される。各メモリセルブロック11ないし19においては、複数のワード線WLと複数のビット線BLとが直交して設けられており、各ワード線WLと各ビット線BLの交差する位置にそれぞれメモリセルが設けられている。各メモリセルブロックは、それぞれ16本のビット線を含む8個のサブブロックに分割されている。また、メモリセルブロック内にはプログラム書き込み用メモリセルが接続されるワード線WLのほかにエレクトロニク・シグネチャが予め書き込まれている読出し専用メモリセルに接続される読出し用ワード線VWLが設け

(6)

られている。ES 読出し用ワード線 VWL は、ES 読出し信号検出回路 5 に接続される。各ワード線 WL は、ワードデコーダ回路 6 に接続される。

各メモリセルブロック、例えば、11 においては、サブブロック 11-0, 11-1, ..., 11-7 毎のビット線 BL は、第 1 のコラムデコーダ回路 7 からの選択信号 B0, B1...B15 により選択され、各サブブロック 11-0, 11-1, ..., 11-7 からの出力は、第 2 のコラムデコーダ回路 8 からの選択信号 C0, C1, ..., C7 により選択される。第 1 のコラムデコーダ回路 7 は、下位のアドレス信号 a0, a1, a2, a3 をデコードして選択信号 B0, B1, ..., B15 の 1 つを "H" にする。また、第 2 のコラムデコーダ回路 8 は、上位のアドレス信号 a4, a5, a6 をデコードして、選択信号 C0, C1, ..., C7 の 1 つを "H" にする。従って、アドレス信号 a0, a1, ..., a6 の特定のパターンに対応して各メモリセルブロック内の特定の 1 本のビット線 BL が選択される。

(7)

セルブロックにおいて、各サブブロックには 16 本のビット線が含まれており、それぞれに ES 用読出し専用メモリセルが設けられている。従って各サブブロックに 16 ビットのデータが書き込まれる。従って、上位のアドレス信号 a4, a5, a6 を特定のパターンに固定して、特定のサブブロックを選択して、下位のアドレス信号 a0, a1, a2, a3 を 16 通りに変化させることによりエレクトロニック・シグネーチャの 16 ワードを読出すことができる。第 4 図には、特定のサブブロックを選択する場合の、アドレス信号 a4, a5, a6 のパターンが示される。例えば、a4=0, a5=0, a6=0 の場合、選択信号 C0 に対応するサブブロック(コラム)が選択される。

第 5 図には、各メモリセルブロック 11 ないし 19 におけるそれぞれのサブブロック内の ES 用読出し専用メモリセルに書き込まれるデータパターンが示される。メモリセルブロック 11 においては、すべてのサブブロックにデータ D1 が書き込まれる。同様にメモリセルブロック 12 のすべ

ところで、第 2 図および第 3 図に示される

EPROM においては、ES 用の読出し専用メモリセルには製造時に予めビット線 BL への接続・非接続によりデータが書き込まれている。この ES 用の読出し専用メモリセルに書き込まれたデータは、特定のアドレス信号 A9 に 12V を印加することにより読出される。これらの ES 用の読出し専用メモリセルには、第 1 図(A)に示されるエレクトロニック・シグネーチャが書き込まれる。エレクトロニック・シグネーチャは、第 1 図(A)に示されるように 8 ビット×16 ワードのデータであり、従って、各出力ビット Q1, Q2, ..., Q8 に対応するメモリセルブロック 11, 12, ..., 18 には、それぞれのビットに対応するデータ列 D1, D2, ..., D8 が記憶される。例えばメモリセルブロック 11 には第 1 図(A)において斜線で示されるデータ列 D1 が記憶される。

第 2 図および第 3 図に示される EPROM におけるエレクトロニック・シグネーチャの記憶方法を、第 4 図、第 5 図を用いて説明する。1 つのメモリ

(8)

のサブブロックにはデータ D2 が書き込まれる。以下同様にして、メモリセルブロック 11 から 18 までについては、各メモリセル内のすべてのサブブロックにそのメモリセルブロックに対応する ES 用データが書き込まれる。従って、メモリセルブロック 11 ないし 18 においては、どのサブブロックが選択された場合にも同一のデータが読出される。ところが、冗長メモリセルブロック 19 においては、C0 に対応するサブブロックにはデータ D1 が書き込まれ、C1 に対応するサブブロックにはデータ D2 が書き込まれ、以下同様にして C7 に対応するサブブロックにはデータ D8 が書き込まれる。

従って、第 3 図の EPROM においては、冗長メモリセルブロック 19 を使用しない場合には、任意のサブブロックを選択することにより、エレクトロニック・シグネーチャを正しく読出すことができる。また、冗長メモリセルブロック 19 を特定のビットに対応するメモリセルブロックと置き換えて使用する場合には、それビットに対応する

(9)

(10)

データが書き込まれたサブブロックを自動的に選択することにより、エレクトロニック・シグネチャが正しく読出される。第6図(A)には、冗長メモリセルブロック19を使用した場合に、書き換えられたビット位置に対応したサブブロックを選択するためのアドレス信号を発生する回路が示される。第6図(A)において、A4, A5, A6は外部から入力されるアドレス信号であり、VRRはES読出し信号である。また、BR1, BR2, ..., BR8は各メモリセルブロックの切換え制御信号であり、BR9は冗長メモリセルブロック使用信号である。第6図(A)の回路においては、例えばメモリセルブロック18が冗長メモリセルブロック19に書き換えられる場合、BR8=H, BR9=Hであり、BR1=L, BR2=L, ..., BR7=Lであり、従ってa4=H, a5=H, a6=Hとなり、選択信号C7に対応するサブブロックが選択される。また、冗長メモリセルブロックが使用されない場合には、a4=L, a5=L, a6=Lとなる。

(11)

第2図は、本発明が適用されるEPROMの概略的な構成図、

第3図は、第2図のEPROMの部分的詳細図、

第4図は、第3図の回路における第2コラムデコード回路の選択動作を説明する図、

第5図は、第3図のEPROMにおいてエレクトロニック・シグネチャの記憶される様子を示す図、

第6図(A)は、第3図のEPROMにおいて冗長メモリセルの書き換え位置に応じたアドレス信号を発生する回路、第6図(B)はES読出し信号発生回路、第6図(C)は切換え制御信号発生回路を、それぞれ示す図である。

(符号の説明)

11, 12...18; メモリセルブロック、19; 冗長メモリセルブロック、21, 22...28; 切換え回路、31, 32...38; 出力バッファ、41, 42, ..., 49; 切換え制御信号発生回路、5; ES読出し信号検出回路、6; ワードデコード回路、7; 第1コラムデコード回路、8; 第2

(13)

第6図(B)には、ES読出し信号検出回路5が示され、第6図(C)には、切換え制御信号BR1, BR2, ..., BR8および冗長メモリセルブロック使用信号BR9の発生回路41, 42, ..., 49が示される。第6図(B)の回路においては、外部アドレス端子A9に12Vが印加された場合にES読出し信号VRRが"H"となるように設計される。

(6) 発明の効果

本発明によれば、冗長構成を有する半導体記憶装置において、冗長メモリセルブロックが任意の出力ビットに対応するメモリセルブロックに書き換えられた場合にもエレクトロニック・シグネチャを正しく読出すことができるようにしたエレクトロニック・シグネチャ読出し回路が提供される。

4. 図面の簡単な説明

第1図(A), (B)は、JEDECにより提案されたエレクトロニック・シグネチャの形式を示す図、

(12)

コラムデコード回路。

特許出願人

富士通株式会社

特許出願代理人

弁護士 青木 明

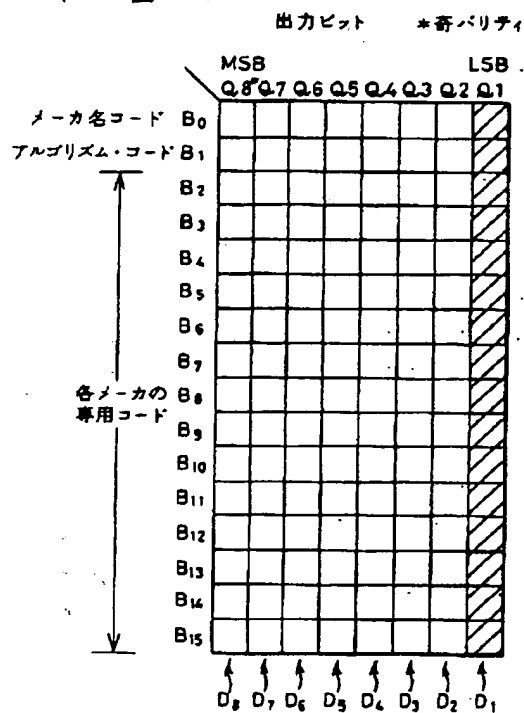
弁護士 西 健 和 之

弁護士 内 田 幸 男

弁護士 山 口 昭 之

(14)

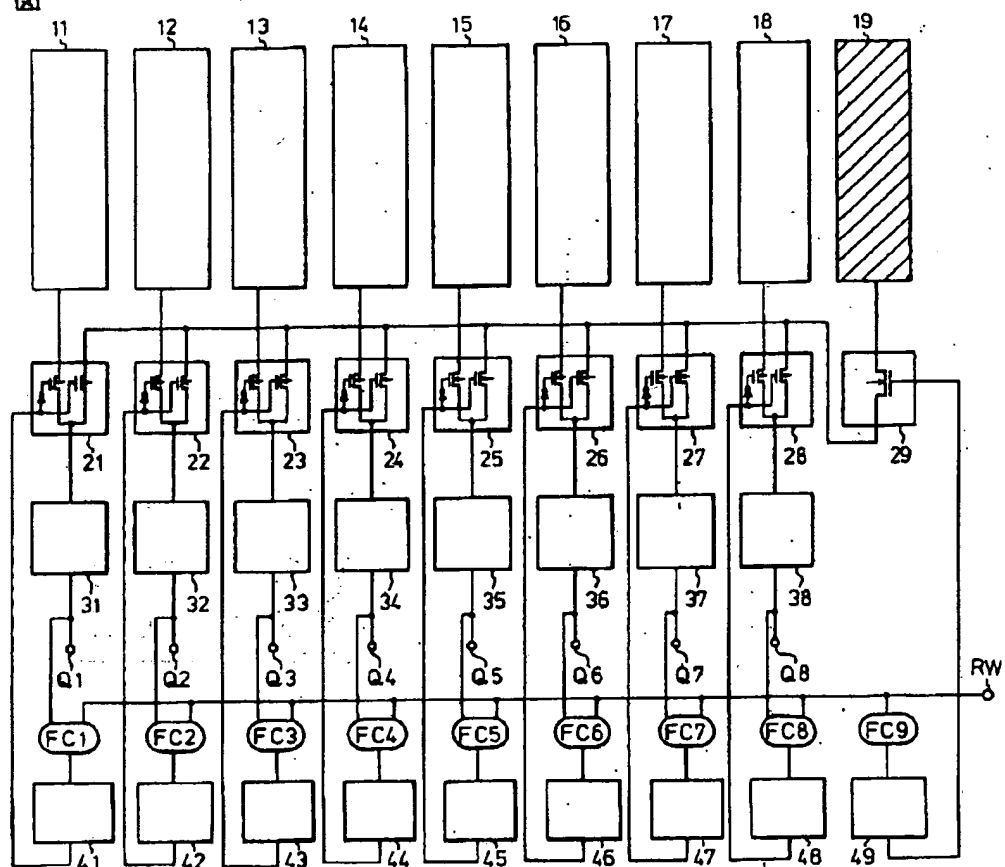
第 1 図 (A)



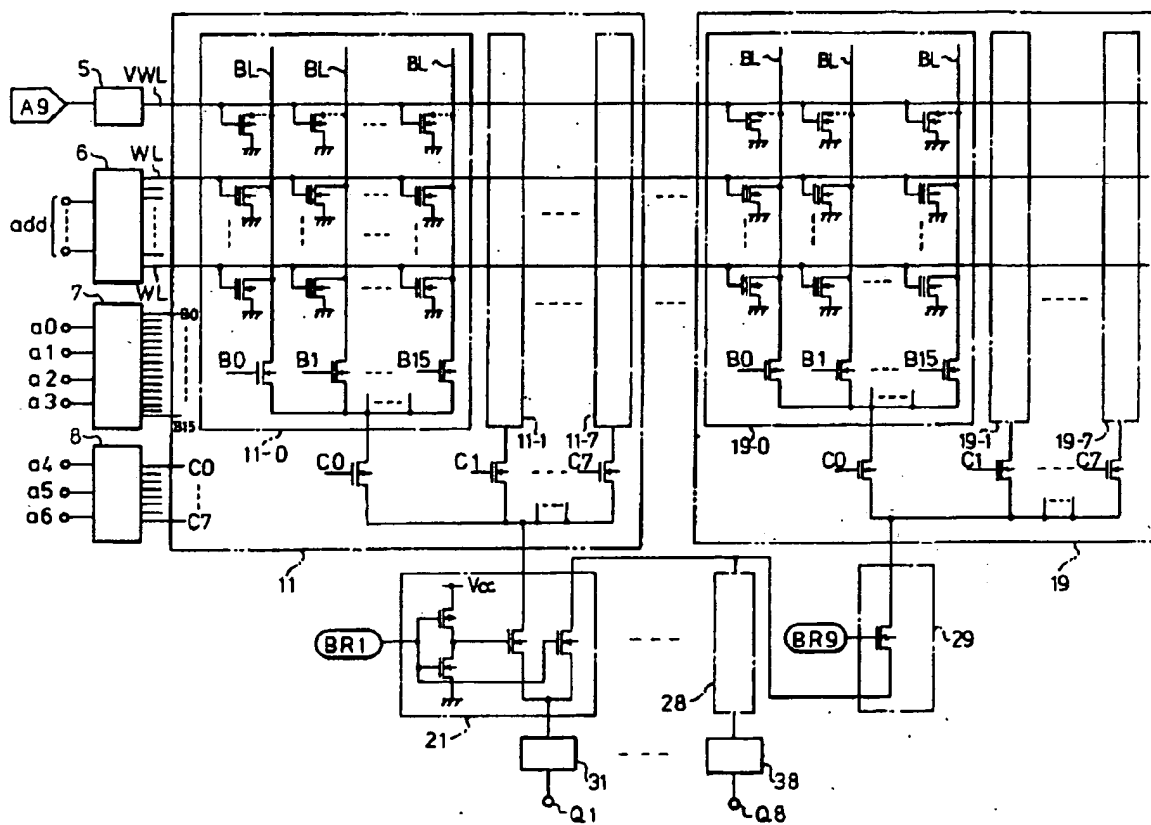
第 1 図 (B)

JEDEC メーカー名	奇パリティ Q8 Q7 Q6 Q5 Q4 Q3 Q2 Q1
1 AMD	0 0 0 0 0 0 0 1
2 AMI	0 0 0 0 0 0 1 0
3 FAIRCHILD	1 0 0 0 0 0 1 1
4 FUJITSU	0 0 0 0 0 1 0 0
5 GTE	1 0 0 0 0 1 0 1
6 HARRIS	1 0 0 0 0 1 1 0
7 HITACHI	0 0 0 0 0 1 1 1
8 INNOS	0 0 0 0 1 0 0 0
9 INTEL	1 0 0 0 1 0 0 1
10 ITT	1 0 0 0 1 0 1 0
11 INTERSIL	0 0 0 0 1 0 1 1
12 MONOLITHIC MEMORIES	1 0 0 0 1 1 0 0
13 MOSTEK	0 0 0 0 1 1 0 1
14 MOTOROLA	0 0 0 0 1 1 1 0
15 NATIONAL	1 0 0 0 1 1 1 1
16 NEC	0 0 0 1 0 0 0 0
17 RCA	1 0 0 1 0 0 0 1
18 RAYTHEON	1 0 0 1 0 0 1 0
19 ROCKWELL	0 0 0 1 0 0 1 1
20 SEEQ	1 0 0 1 0 1 0 0
21 SIGNETICS	0 0 0 1 0 1 0 1
22 SYNERTEK	0 0 0 1 0 1 1 0
23 TEXAS INSTRUMENTS	1 0 0 1 0 1 1 1
24 TOSHIBA	1 0 0 1 1 0 0 0
25 XICOR	0 0 0 1 1 0 0 1
26 ZILOG	0 0 0 1 1 0 1 0

第 2 図



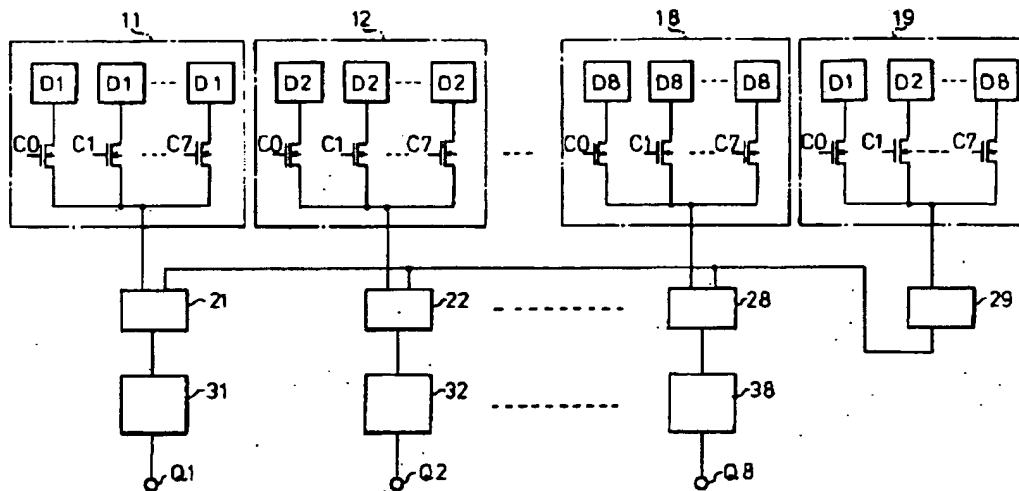
第 3 図



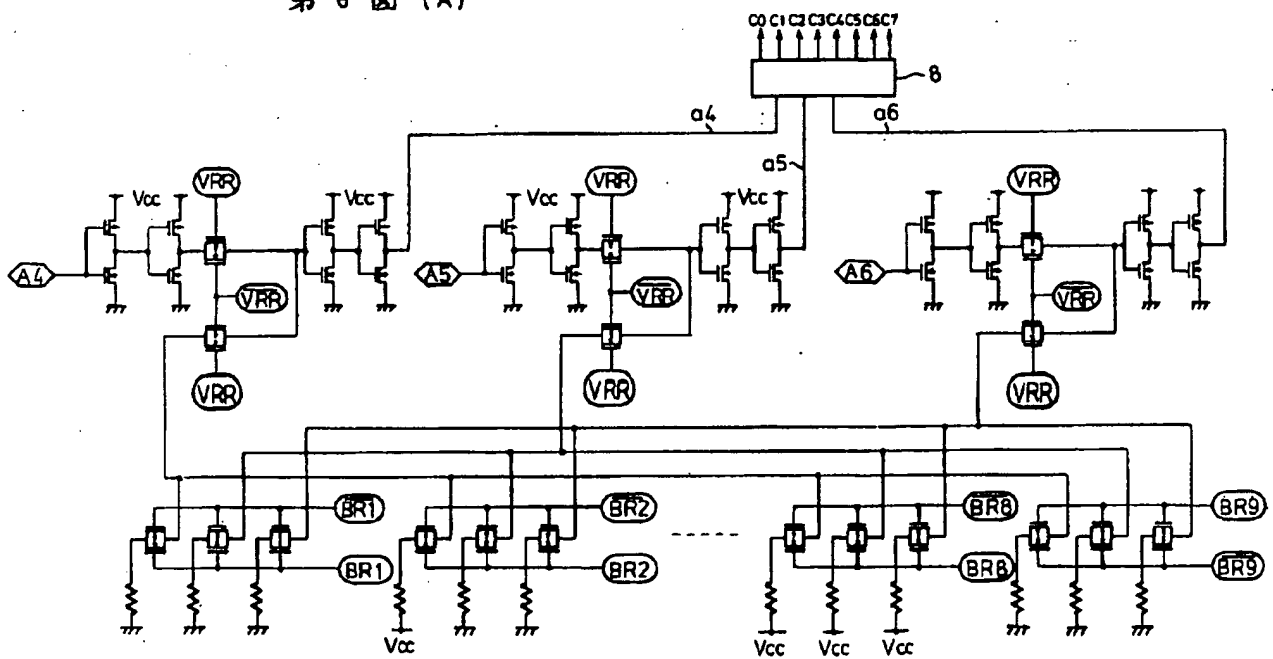
第 4 図

コラム アドレス	C0	C1	C2	C3	C4	C5	C6	C7
a4	0	1	0	1	0	1	0	1
a5	0	0	1	1	0	0	1	1
a6	0	0	0	0	1	1	1	1

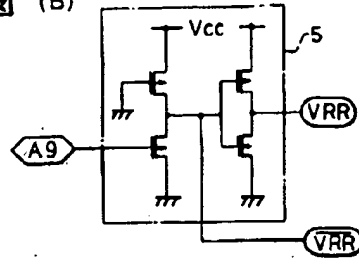
第 5 図



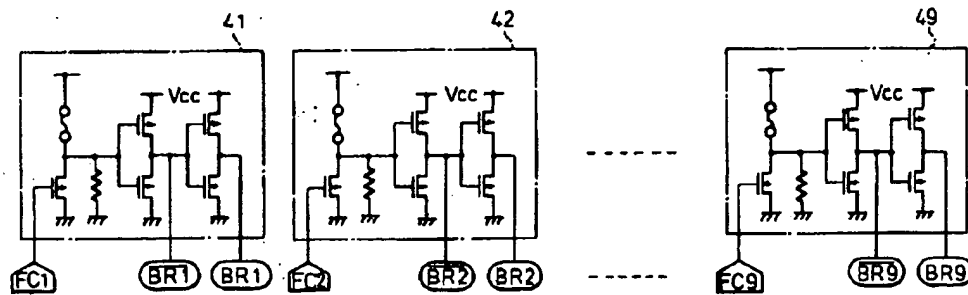
第 6 図 (A)



第 6 図 (B)



第 6 図 (C)



手続補正書(自必)

昭和 58 年 3 月 23 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 58 年 特許願 第 18027 号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

名 称 (522) 富士通株式会社

4. 代 理 人

住 所 東京都港区虎ノ門一丁目8番10号 静光虎ノ門ビル
〒105 電話(504)0721氏 名 弁理士 (6579) 青 木 朗
(外 3 名)

5. 補正の対象

- (1) 明細書の「特許請求の範囲」の欄
- (2) 明細書の「発明の詳細な説明」の欄

6. 補正の内容

(1) 明細書の「特許請求の範囲」の欄を別紙のとおり補正する。

(2) 明細書の「発明の詳細な説明」の欄を次のとおり補正する。

第 4 頁第 1 行～第 5 頁第 3 行目

「本発明においては、………提供される。」を削除し、下記の文章に置き換える。

「上記の目的は、複数ビット出力構成で、各出力ビットに対応する複数のメモリセルブロックと、不良のあるメモリセルブロックを置換え可能な冗長メモリセルブロックとを備え、該各メモリセルブロックの特定の領域に所定のデータを記憶した複数の読出し専用メモリセルが設けられ、且つ該各メモリセルブロック及び該冗長メモリセルブロックは複数のサブブロックに分割もされ、各メモリセルブロックの読出し専用メモリセルには、



各該メモリセルブロックの出力ビットに対応するデータが各サブブロック毎に繰返し記憶され、該冗長メモリセルブロックでは各サブブロックを各該メモリセルブロックに対応させて、それぞれの該メモリセルブロックの出力ビットに対応するデータが該冗長メモリセルブロック内の対応するサブブロックの読出し専用メモリセルに記憶もされ、該メモリセルブロックを該冗長メモリセルブロックに置換えた場合には、置換えられたメモリセルブロックに対応する該冗長メモリセルブロック内のサブブロックが該所定のデータの読出し時に選択されるようにしたことを特徴とする半導体記憶装置によって達成される。」

7. 添付書類の目録

補正特許請求の範囲

1 通

(3)

が該所定のデータの読出し時に選択されるようにしたことを特徴とする半導体記憶装置。

(2)

2. 特許請求の範囲

複数ビット出力構成で、各出力ビットに対応する複数のメモリセルブロックと、不良のあるメモリセルブロックを置換え可能な冗長メモリセルブロックとを備え、該各メモリセルブロックの特定の領域に所定のデータを記憶した複数の読出し専用メモリセルが設けられ、且つ該各メモリセルブロック及び該冗長メモリセルブロックは複数のサブブロックに分割もされ、各該メモリセルブロックの読出し専用メモリセルには、各該メモリセルブロックの出力ビットに対応するデータが各サブブロック毎に繰返し記憶され、該冗長メモリセルブロックでは各サブブロックを各該メモリセルブロックに対応させて、それぞれの該メモリセルブロックの出力ビットに対応するデータが該冗長メモリセルブロック内の対応するサブブロックの読出し専用メモリセルに記憶もされ、該メモリセルブロックを該冗長メモリセルブロックに置換えた場合には、置換えられたメモリセルブロックに対応する該冗長メモリセルブロック内のサブブロッ

(1)

特許法第17条の2の規定による補正の掲載

手続補正書

昭和 58 年特許願第 18027 号(特開昭
59-144098 号 昭和 59 年 8 月 17 日
発行 公開特許公報 59-1441 号掲載)につ
いては特許法第17条の2の規定による補正があっ
たので下記のとおり掲載する。 6(4)

昭和59年 4 月 24 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 58 年 特許願 第 018027 号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

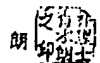
名 称 (522) 富士通株式会社

4. 代 理 人

住 所 東京都港区虎ノ門一丁目8番10号 静光虎ノ門ビル
〒105 電話(504)0721

氏 名 弁理士 (6579) 青 木

(外 3 名)



5. 補正の対象

- (1) 明細書の「特許請求の範囲」の欄
- (2) 明細書の「発明の詳細な説明」の欄

6. 補正の内容

- (1) 別紙のとおり

(2) 明細書第4頁第1行目から第5頁第3行目までを『本発明においては、複数ビット出力構成で、各出力ビットに対応する複数のメモリセルブロックと、不良のあるメモリセルブロックと置換え可能な冗長メモリセルブロックとを備え、複数ビットで構成された情報を各メモリセルブロックに分割して記憶し、前記冗長メモリセルブロックには前記情報を全て記憶し且つ前記メモリセルブロックを前記冗長メモリセルブロックと置換えた場合に、置換えられたメモリセルブロック内の前記分割された情報に対応する部分を前記冗長メモリセルブロックから選択的に読出す手段を設けたことを特徴とする半導体記憶装置が提供される。』と補正します。

2. 特許請求の範囲

複数ビット出力構成で、各出力ビットに対応する複数のメモリセルブロックと、不良のあるメモリセルブロックと置換え可能な冗長メモリセルブロックとを備え、複数ビットで構成された情報を各メモリセルブロックに分割して記憶し、前記冗長メモリセルブロックには前記情報を全て記憶し、且つ前記メモリセルブロックを前記冗長メモリセルブロックと置換えた場合に、置換えられたメモリセルブロック内の前記分割された情報に対応する部分を前記冗長メモリセルブロックから選択的に読出す手段を設けたことを特徴とする半導体記憶装置。